

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08204140 A

(43) Date of publication of application: 09.08.96

(51) Int. Cl

H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092
H01L 27/108
H01L 21/8242
H01L 27/12
H01L 29/78
H01L 29/786
H01L 21/336

(21) Application number: 07031348

(22) Date of filing: 27.01.95

(71) Applicant: NEC CORP

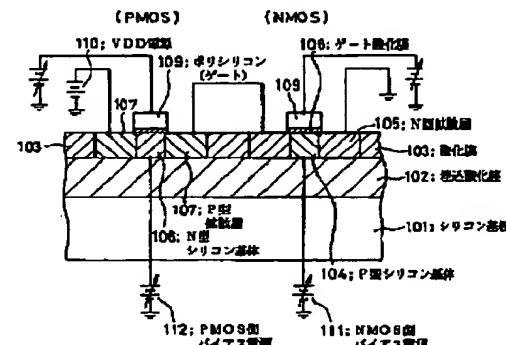
(72) Inventor: OKUMURA KOICHIRO
KUROSAWA SUSUMU

(54) SILICON-ON-INSULATOR SEMICONDUCTOR
DEVICE AND BIAS VOLTAGE GENERATING
CIRCUIT

(57) Abstract:

PURPOSE: To operate a semiconductor device rapidly in the active time while reducing power consumption in the stand-by time by controlling the threshold voltage changing the bias of base substance in the active time and stand-by time.

CONSTITUTION: P type silicon base substance of NMOS formed on a silicon-on-insulator substrate is impressed with a voltage higher than the earth potential in the active time and the voltage lower than the normal directional voltage VF in the PN junction. Next, in the case of stand-by time, as for the earth potential, likewise, PMOS type silicon base substance 106 is impressed with a voltage lower than power supply voltage VDD in case the of active time and higher than the voltage reduced by the normal directional voltage of PN junction from the power supply voltage VDD while VDD in the stand-by time thereby enabling the absolute threshold voltage of MOS type FET in the active time lower than that in the stand-by time.



COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-204140

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.⁶

H 01 L 27/04

21/822

21/8238

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 27/04

G

B

審査請求 有 請求項の数 9 FD (全 22 頁) 最終頁に続く

(21)出願番号

特願平7-31348

(22)出願日

平成7年(1995)1月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 奥村 幸一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 黒澤 晋

東京都港区芝五丁目7番1号 日本電気株式会社内

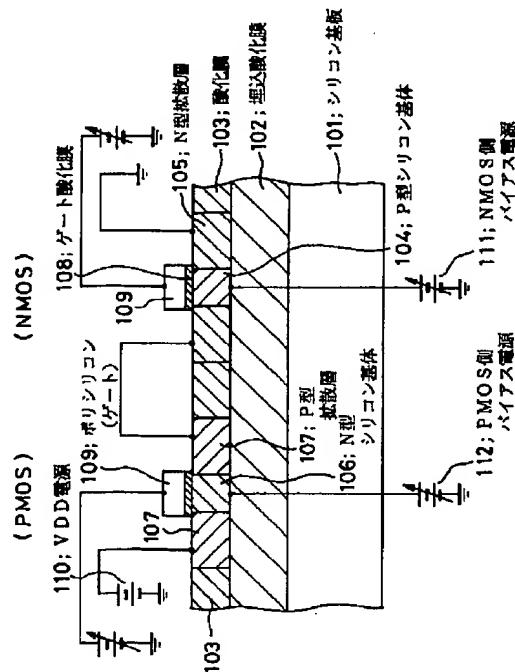
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】シリコン・オン・インシュレータ半導体装置及びバイアス電圧発生回路

(57)【要約】

【目的】アクティブ時とスタンバイ時で基体のバイアスを変えて閾値電圧を制御することによりアクティブ時では高速でスタンバイ時では低消費電力を実現する半導体装置及び基体バイアス電圧発生回路の提供。

【構成】シリコン・オン・インシュレータ基板上に形成されたNMOSのP型シリコン基体104には、アクティブ時には接地電位より高く且つPN接合の順方向電圧VFより低い電圧を加え、スタンバイ時には接地電位とし、同様にPMOSのN型シリコン基体106には、アクティブ時には電源電圧VDDより低く且つ電源電圧VDDからPN接合の順方向電圧VFを引いた値より高い電圧を加え、スタンバイ時にはVDDとすることにより、アクティブ時におけるMOS型FETの閾値電圧をスタンバイ時における閾値電圧よりも絶対値で低くする。



【特許請求の範囲】

【請求項1】シリコン・オン・インシュレータ基板上に形成した複数のPチャネルMOS型FETと複数のNチャネルMOS型FETと、バイアス電圧発生回路部と、を含み、

前記複数のPチャネルMOS型FETのうち少なくとも一部のPチャネルMOS型FETのゲート電極下部のシリコン基体部には、前記バイアス電圧発生回路部からアクティブ時に電源電圧より低い電圧を供給し、スタンバイ時には前記電源電圧を供給するとともに、

前記複数のNチャネルMOS型FETのうち少なくとも一部のNチャネルMOS型FETのゲート電極下部のシリコン基体部には、前記バイアス電圧発生回路部からアクティブ時に接地電位より高い電圧を供給し、スタンバイ時には接地電位とする、ように構成したことを特徴とするシリコン・オン・インシュレータ半導体装置。

【請求項2】前記PチャネルMOS型FETのゲート電極下部のシリコン基体、及び前記NチャネルMOS型FETのゲート電極下部のシリコン基体の厚さをともに略30nmから200nmの範囲とすることを特徴とする請求項1記載のシリコン・オン・インシュレータ半導体装置。

【請求項3】シリコン・オン・インシュレータ基板上に形成した複数のPチャネルMOS型FETと複数のNチャネルMOS型FETからなる複数の機能回路ブロックと、

前記機能回路ブロックのそれぞれに対応して設けられた個数のバイアス電圧発生回路部と、を含み、

前記機能回路ブロック内の前記PチャネルMOS型FETのゲート電極下部のシリコン基体部には、前記機能回路ブロックに対応した前記バイアス電圧発生回路部から、アクティブ時には電源電圧より低い電圧を供給し、スタンバイ時には前記電源電圧を供給するとともに、前記機能回路ブロック内の前記NチャネルMOS型FETのゲート電極下部のシリコン基体部には、前記アクティブ時には接地電位より高い電圧を供給し、スタンバイ時には接地電位とする、ように構成したことを特徴とするシリコン・オン・インシュレータ半導体装置。

【請求項4】PチャネルMOS型FETのゲート電極下部のシリコン基体、及びNチャネルMOS型FETのゲート電極下部のシリコン基体の厚さを略30nmから200nmの範囲とすることを特徴とする請求項3記載のシリコン・オン・インシュレータ半導体装置。

【請求項5】アクティブとスタンバイの状態切り替え信号の入力端子と、電源端子と、接地端子と、第1のバイアス電圧出力端子と、第2のバイアス電圧出力端子と、第1のインバータ回路と、第2のインバータ回路と、第1のPチャネルMOS型FETと、第1のNチャネル

MOS型FETと、閾値電圧が絶対値で小さいPチャネルMOS型FETと、PNPバイポーラトランジスタと、第2のPチャネルMOS型FETと、第2のNチャネルMOS型FETと、閾値電圧が小さいNチャネルMOS型FETと、NPNバイポーラトランジスタと、を含み、前記第1のインバータ回路の入力端は前記アクティブと、スタンバイの状態切り替え信号の入力端子に接続され、出力端は前記第2のインバータ回路の入力端と、前記第2のPチャネルMOS型FETのゲート電極と、前記第2のNチャネルMOS型FETのゲート電極に接続され、前記第2のインバータ回路の出力端は前記第1のPチャネルMOS型FETのゲート電極と、前記第1のNチャネルMOS型FETのゲート電極に接続され、前記第1のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子と、前記閾値電圧が絶対値で小さいPチャネルMOS型FETのドレイン電極及びゲート電極に接続されると共に前記PNPバイポーラトランジスタのコレクタ電極及びベース電極に接続され、前記第1のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、前記閾値電圧が絶対値で小さいPチャネルMOS型FETのソースと前記PNPバイポーラトランジスタのエミッタは前記電源端子に接続され、前記第2のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子と、前記閾値電圧が絶対値で小さいNチャネルMOS型FETのドレイン電極及びゲート電極に接続されるとともに前記NPNバイポーラトランジスタのコレクタ電極及びベース電極に接続され、前記第2のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、前記閾値電圧が絶対値で小さいNチャネルMOS型FETのソースと前記NPNバイポーラトランジスタのエミッタが前記接地端子に接続されて成ることを特徴とするバイアス電圧発生回路。

【請求項6】アクティブとスタンバイの状態切り替え信号の入力端子と、電源端子と、接地端子と、第1のバイアス電圧出力端子と、第2のバイアス電圧出力端子と、第1のインバータ回路と、第2のインバータ回路と、第1のPチャネルMOS型FETと、第1のNチャネルMOS型FETと、

【請求項8】アクティブとスタンバイの状態切り替え信号の入力端子と、
電源端子と、接地端子と、
第1のバイアス電圧出力端子と、第2のバイアス電圧出力端子と、
第1のインバータ回路と、第2のインバータ回路と、
スタンバイからアクティブへの状態遷移時に正のワンショットパルスを発生する第1のパレス出力端とその反転パルスを発生する第2のパレス出力端とを備えた第1のワンショットパルス発生回路と、
スタンバイからアクティブへの状態遷移時に前記第1のワンショットパルス発生回路の前記第2のパレス出力端のパルスと比較してより短時間のワンショットパルスを発生する第3のパレス出力端とその反転パルスを発生する第4のパレス出力端とを備えた第2のワンショットパルス発生回路と、
第1のPチャネルMOS型FETと、第1のNチャネルMOS型FETと、
ゲート電極と基体電極が相互接続されたPチャネルMOS型FETで構成された第1のハイブリッドモードデバイスと、
第2のPチャネルMOS型FETと、第2のNチャネルMOS型FETと、
ゲート電極と基体電極が相互接続されたNチャネルMOS型FETで構成された第2のハイブリッドモードデバイスと、
第3のNチャネルMOS型FETと、第3のPチャネルMOS型FETと、
第4のNチャネルMOS型FETと、第4のPチャネルMOS型FETと、
を含み、
前記第1のインバータ回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子に接続され、出力端は前記第2のインバータ回路の入力端と前記第2のPチャネルMOS型FETのゲート電極と前記第2のNチャネルMOS型FETのゲート電極に接続され、
前記第2のインバータ回路の出力端は前記第1のPチャネルMOS型FETのゲート電極と、前記第1のNチャネルMOS型FETのゲート電極に接続され、
前記第1のワンショットパルス発生回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子に接続され、前記第1のパレス出力端は前記第3のNチャネルMOS型FETのゲート電極に接続され、前記第2のパレス出力端は前記第3のPチャネルMOS型FETのゲート電極に接続され、
前記第2のワンショットパルス発生回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子接続され、前記第3のパレス出力端は前記第4のPチャネルMOS型FETのゲート電極に接続され、前記第4のパレス出力端は前記第4のNチャネルMOS型FET

のゲート電極に接続され、
前記第1のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第1のハイブリッドモードデバイスのゲート電極に接続されるとともに前記第1のバイアス電圧出力端子に接続され、
前記第1のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、
前記第1のハイブリッドモードデバイスのソース電極は前記電源端子に接続され、
前記第3のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、
前記第4のPチャネルMOS型FETのドレイン電極は前記接地端子に接続され、ソース電極は前記第1のバイアス電圧出力端子に接続され、
前記第2のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第2のハイブリッドモードデバイスのゲート電極に接続されるとともに前記第2のバイアス電圧出力端子に接続され、
前記第2のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、
前記第2のハイブリッドモードデバイスのソースは前記接地端子に接続され、
前記第3のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、
前記第4のNチャネルMOS型FETのドレイン電極は前記電源端子に接続され、ソース電極は前記第1のバイアス電圧出力端子に接続されて成ることを特徴とするバイアス電圧発生回路。
【請求項9】シリコン・オン・インシュレータ基板上に形成した、複数のPチャネルMOS型FETと、複数のNチャネルMOS型FETと、
請求項6～8のいずれか一に記載のバイアス電圧発生回路と、を含み、
前記複数のPチャネルMOS型FETのうち少なくとも一部のPチャネルMOS型FETのゲート電極下部のシリコン基体部が前記バイアス電圧発生回路の第1のバイアス電圧出力端子に電気的に接続され、
前記複数のNチャネルMOS型FETのうち少なくとも一部のNチャネルMOS型FETのゲート電極下部のシリコン基体部が前記バイアス電圧発生回路の第2のバイアス出力端子に電気的に接続されたことを特徴とするシリコン・オン・インシュレータ半導体装置。
【発明の詳細な説明】
【0001】
【産業上の利用分野】本発明はシリコン・オン・インシュレータ（「SOI」という）半導体装置とバイアス発

生回路に関し、特に、アクティブとスタンバイ時でMOS型FETの閾値電圧を変更することによりアクティブ時では高速に動作してスタンバイ時には低消費電力化が可能なSOI半導体装置と、SOI半導体装置に閾値電圧制御のための電圧を発生するバイアス電圧発生回路に関する。

【0002】

【従来の技術】近年、携帯用電子情報機器の分野を中心に低消費電力化の市場要求が強まり、それに答える形でLSIの低電源電圧化が進められているが、LSIの電源電圧の低下に伴ってLSIのアクティブ時（動作時）の高速動作とスタンバイ時（待機時）の低消費電力の両立が困難になりつつある。

【0003】これは、LSIを構成するMOSトランジスタのゲート回路の動作速度は、電源電圧をVDD、MOSトランジスタの閾値電圧をVTとすると、略 $(VDD - VT)^2$ に比例するため、閾値電圧VTを変更しないまま電源電圧VDDを低下させると、動作速度が急激に低下してしまい、また動作速度の低下を防ぐために閾値電圧VTを電源電圧VDDと同時に低下させるとMOSトランジスタに流れるサブスレッショルド電流が増大して、LSIが動作していないスタンバイ時における消費電力が増大するからである。

【0004】携帯用電子情報機器等の分野では高速動作が必要なことは勿論であるが、スタンバイ時の消費電力はバッテリーの寿命を決定する大きな要素であるため、電源電圧VDDが2V以下の領域では、特にこれらの両立が重要な技術課題であった。

【0005】アクティブ時の高速化とスタンバイ時の低電力化とを両立させる技術の一つとして、ウェルの電位を制御することによってアクティブ時にはMOSトランジスタの閾値電圧を低下させて高速動作を可能とし、スタンバイ時には閾値電圧を増大させてサブスレッショルド領域の電流を低減することによって消費電力を低減する技術が提案されている。

【0006】例えば、特開平4-302897号公報には、ダイナミック型半導体記憶装置（DRAM）の周辺回路部分を構成するMOSトランジスタの基板バイアスをアクティブとスタンバイ時とで相違させ、スタンバイ時にのみNチャネルMOSFET（「NMOS」という）が形成されているP型ウェルには接地電圧以下の負電圧を、PチャネルMOSFET（「PMOS」という）が形成されているN型ウェルには電源電圧以上の正電圧を加えることにより、PMOS及びNMOSの閾値電圧の絶対値を大きくしてスタンバイ時の消費電力を低減する技術が開示されている。

【0007】また、例えば特開昭60-10656号公報においては、第1の基板電位を発生する第1のチャージポンプ回路と第2の基板電位を発生する第2のチャージポンプ回路を含み、アクティブ時には第1のチャージ

ポンプ回路を動作させてNMOSに負電圧の基板電位を与える、スタンバイ時には第2のチャージポンプ回路を動作させてアクティブ時より深い負電圧の基板電位を与えることによって閾値電圧を高くすることにより、スタンバイ時における消費電力を低減する技術が開示されている。

【0008】しかしながら、前記特開平4-302897号公報と特開昭60-10656号公報においては、スタンバイ時において所定の基板電位を発生させるためにチャージポンプ回路を動作させることが必要とされ、チャージポンプ回路で電力が消費されることになり、結局スタンバイ時における電力低減効果が相殺されて実質的にはほとんど電力低減できないという問題があった。

【0009】これに対して、例えば特開平6-21443号公報（原出願：特願平4-98133号）においては、アクティブ時においてNMOSの基板（またはウェル）をそのソース電位よりも正にバイアスし、またPMOSのウェル（または基板）をそのソース電位よりも負にバイアスすることによって、閾値電圧を低下させて高速動作に適応させるとともに、スタンバイ時においてはNMOSの基板（またはウェル）をそのソースと同電位に、PMOSのウェル（または基板）をそのソースと同電位にしてアクティブ時よりも閾値電位を絶対値で増大させることによって電力の消費を低減させる技術が開示されている。

【0010】前記特開平6-21443号公報では、スタンバイ時には特別なバイアス電圧を発生させる必要がないため、チャージポンプ回路の電力消費に起因する前記特開平4-302897号公報と前記特開昭60-10656号公報に開示された従来技術の問題点は回避できることになる。

【0011】前記特開平6-21443号公報で開示された従来技術の構成、動作について図を用いて以下に説明する。

【0012】図19及び図20は、前記特開平6-21443号公報におけるアクティブ時とスタンバイ時での閾値電圧変更の原理を示す図である。

【0013】図19を参照して、P型シリコン基板191の表面にN型のソース拡散層105aとN型のドレイン拡散層105bが離間して形成され、この間のP型シリコン基板191上にゲートのシリコン酸化膜108を介してゲート電極としてポリシリコン109が設けられてNMOSを形成しており、ソースのN型拡散層105aは接地電位（GND）に接続され、ドレインのN型拡散層105bは電源VDDに、P型シリコン基板191は基板電源Vsusbに接続されている。

【0014】ここで閾値電圧Vtは、ゲート電極109に正電圧を加えた時にソース105aとドレイン105bとの間にチャネルが形成されて、例えば1μAの微少電流が流れる時のゲート電圧として定義される。

【0015】閾値電圧 V_t は、図20に示すように、基板電位 V_{sub} に依存して変化し（基板電位 V_{sub} による閾値電圧 V_t のこの変調特性を「基板バイアス効果」という）、基板電位 V_{sub} として正電圧を加えることによって閾値電圧 V_t を低下させることができる。

【0016】従って、アクティブ時には基板電位 V_{sub} として正電圧を加え、スタンバイ時には V_{sub} を0Vとすることによってアクティブ時には低閾値電圧で高速動作を実現し、スタンバイ時では高閾値電圧で低電力化することができる。

【0017】図21は、前記特開平6-21443号公報に開示された技術をCMOSに適用した場合の断面図を表す。

【0018】図21を参照して、P型シリコン基板191の表面にP型のウェル201を形成し、その表面にN型のソース・ドレイン拡散層105を形成し、ゲート酸化膜を介してゲート電極のポリシリコン109を設けてNMOSを構成するとともに、N型のウェル202を形成し、その表面にP型のソース・ドレイン拡散層107を形成し、ゲート酸化膜を介してゲート電極のポリシリコン109を設けてPMOSを構成されている。図21のCMOS構造においても、アクティブ時にはNMOSが形成されているP型ウェル201には正電圧を加え、PMOSが形成されているN型ウェル202には電源電圧VDDより低い電圧を加えることによって、PMOSとNMOSの閾値電位を絶対値で小さくして高速動作させ、スタンバイ時にはP型ウェル201の電位を0V（接地電位）とし、N型ウェル202の電位を電源VD_Dの電位とすることにより、閾値電圧を絶対値で大きくなりサブレッショルド電流による電力消費を同様にして低減することができる。

【0019】

【発明が解決しようとする課題】近年の低消費電力化の動向として、アクティブ状態とスタンバイ状態の切り替えを集積回路チップレベルではなく、チップに搭載されたある機能のまつりとしての回路ブロック毎に緻密に行うことにより、消費電力の低減を一層促進しようという動きが高まっている。

【0020】しかしながら、図21に示す前記従来の半導体装置においては、シリコン基板表面にN型ウェル及びP型ウェルを形成しているため、P型のシリコン基板191を用いたときは、P型ウェル201とP型シリコン基板191とが短絡状態となり、チップ全面のP型ウェルが同電位に接続されてしまうことから、回路ブロック毎にアクティブ時とスタンバイ時とで閾値電圧を制御することはできないという問題がある。

【0021】これは、図21でP型シリコン基板191の代わりにN型のシリコン基板を用いたときでも同様の状態とされ、この場合はチップ全面のN型ウェル202が同電位となり、回路ブロック毎の閾値電圧制御を行な

うことはできない。

【0022】また、別の問題点として、図21に示す前記従来の半導体装置では、大規模な集積回路を構成した場合には、ウェルと基板との間の容量が非常に大きくなり、このため、スタンバイ時からアクティブ時に、あるいはアクティブ時からスタンバイ時に遷移するときに、この容量を充電または放電しなければならないため、遷移時間が長いという問題点がある。

【0023】回路ブロック毎に緻密な消費電力制御を行うためには、特にスタンバイ時からアクティブ時への遷移が高速に行われなければ、アクティブになってしまいウェルの電位が安定するまでの遷移時間中は集積回路として動作させることができず、結局性能が低下するからである。

【0024】試算結果では、 $0.35\mu m$ の設計ルールで100万トランジスタを搭載した大規模集積回路を、図21の前記従来例の構造で形成した場合、実効的なウェルと基板間の容量は $22,000 pF$ となり、1mAを流す能力のある基板電圧 V_{sub} 発生用電流源回路を仮定すると、遷移時間は $11\mu s$ を要することになる。最近の大規模集積回路の命令実行時間が $10\sim100 ns$ 程度であるのに対して、遷移時間が膨大であることが明らかである。

【0025】さらに、図21に示した前記従来例（すなわち前記特開平6-21443号公報）では、 V_{sub} バイアス発生回路の具体的構成については提示されていないが、実用上は、アクティブ時のウェル電位としては、ウェルとソース拡散層が順方向にバイアスされて大電流が流れることを防ぐために、NMOSが形成されたP型ウェルの電位はPN接合の順方向電圧VF以下に、またPMOSが形成されたN型ウェルの電位は(VDD-VF)以上に安定して設定できるバイアス発生回路が必要である。

【0026】【発明の目的】従って、本発明の第1の目的は前記問題点を解消し、回路ブロック毎に閾値電圧制御が可能で、また遷移時間が短い半導体装置を提供することにあり、また第2の目的は、低消費電力で安定なバイアス発生装置を提供することにある。

【0027】

【課題を解決するための手段】前記目的を達成するため、本発明のシリコン・オン・インシュレータ半導体装置は、シリコン・オン・インシュレータ基板上に形成した複数のPチャネルMOS型FETと複数のNチャネルMOS型FETと、バイアス電圧発生回路部を含み、前記複数のPチャネルMOS型FETの内少なくとも一部のPチャネルMOS型FETのゲート電極下部のシリコン基体部には前記バイアス電圧発生回路部からアクティブ時に電源電圧より低い電圧を供給し、スタンバイ時には前記電源電圧を供給するとともに、前記複数のNチャネルMOS型FETの内少なくとも一部のNチャネルM

11

OS型FETのゲート電極下部のシリコン基体部には前記バイアス電圧発生回路部からアクティブ時に接地電位より高い電圧を供給し、スタンバイ時には接地電位として成るものである。

【0028】また、本発明のシリコン・オン・インシユレータ半導体装置は、シリコン・オン・インシユレータ基板上に形成した複数のPチャネルMOS型FETと複数のNチャネルMOS型FETからなる複数個の機能回路ブロックと前記機能回路ブロックのそれぞれに対応した個数のバイアス電圧発生回路部を含み、それぞれの前記機能回路ブロック内の前記PチャネルMOS型FETのゲート電極下部のシリコン基体部にはこの機能回路ブロックに対応した前記バイアス電圧発生回路部からアクティブ時には電源電圧より低い電圧を供給し、スタンバイ時には前記電源電圧を供給するとともに、前記NチャネルMOS型FETのゲート電極下部のシリコン基体部には前記アクティブ時には接地電位より高い電圧を供給し、スタンバイ時には接地電位として成るものである。

【0029】さらに、本発明のバイアス電圧発生回路は、好ましい態様として、アクティブとスタンバイの状態切り替え信号の入力端子と、電源端子と、接地端子と、第1のバイアス電圧出力端子と第2のバイアス電圧出力端子と第1のインバータ回路と、第2のインバータ回路と、第1のPチャネルMOS型FETと、第1のNチャネルMOS型FETと、閾値電圧が絶対値で小さいPチャネルMOS型FETと、PNPバイポーラトランジスタと、第2のPチャネルMOS型FETと、第2のNチャネルMOS型FETと、閾値電圧が小さいNチャネルMOS型FETと、NPNバイポーラトランジスタを含み、前記第1のインバータ回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子に接続されて出力端は前記第2のインバータ回路の入力端と前記第2のPチャネルMOS型FETのゲート電極と前記第2のNチャネルMOS型FETのゲート電極に接続され、前記第2のインバータ回路の出力端は前記第1のPチャネルMOS型FETのゲート電極と前記第1のNチャネルMOS型FETのゲート電極に接続され、前記第1のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続されると同時に前記閾値電圧が絶対値で小さいPチャネルMOS型FETのドレイン電極及びゲート電極と接続されるとともに前記PNPバイポーラトランジスタのコレクタ電極及びベース電極と接続され、前記第1のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、前記閾値電圧が絶対値で小さいPチャネルMOS型FETのソースと前記PNPバイポーラトランジスタのエミッタは前記電源端子に接続され、前記第2のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、前記第2のハイブリッドモードデバイスのソースは前記接地端子に接続されて成るものである。

12

記第2のバイアス電圧出力端子に接続されると同時に前記閾値電圧が絶対値で小さいNチャネルMOS型FETのドレイン電極及びゲート電極と接続されるとともに前記NPNバイポーラトランジスタのコレクタ電極及びベース電極と接続され、前記第2のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、前記閾値電圧が絶対値で小さいNチャネルMOS型FETのソースと前記NPNバイポーラトランジスタのエミッタは前記接地端子に接続されて成るものである。

【0030】本発明のバイアス電源発生回路は、別の好ましい態様として、アクティブとスタンバイの状態切り替え信号の入力端子と、電源端子と、接地端子と、第1のバイアス電圧出力端子と第2のバイアス電圧出力端子と第1のインバータ回路と、第2のインバータ回路と、第1のPチャネルMOS型FETと、第1のNチャネルMOS型FETと、ゲート電極と基体電極が相互に接続されたPチャネルMOS型FETで構成された第1のハイブリッドモードデバイスと、第2のPチャネルMOS型FETと、ゲート電極と基体電極が相互に接続されたNチャネルMOS型FETで構成された第2のハイブリッドモードデバイスを含み、前記第1のインバータ回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子に接続されて出力端は前記第2のインバータ回路の入力端と前記第2のPチャネルMOS型FETのゲート電極と前記第2のNチャネルMOS型FETのゲート電極に接続され、前記第2のインバータ回路の出力端は前記第1のPチャネルMOS型FETのゲート電極と、前記第1のNチャネルMOS型FETのゲート電極に接続され、前記第1のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第1のハイブリッドモードデバイスのゲート電極に接続されるとともに前記第1のバイアス電圧出力端子に接続され、前記第1のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、前記第1のハイブリッドモードデバイスのソース電極は前記電源端子に接続され、前記第2のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第2のハイブリッドモードデバイスのゲート電極に接続されるとともに前記第2のバイアス電圧出力端子に接続され、前記第2のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、前記第2のハイブリッドモードデバイスのソースは前記接地端子に接続されて成るものである。

【0031】本発明のバイアス電圧発生回路は、さらに別の好ましい態様として、アクティブとスタンバイの状態切り替え信号の入力端子と、電源端子と、接地端子

と、第1のバイアス電圧出力端子と第2のバイアス電圧出力端子と第1のインバータ回路と、第2のインバータ回路と、スタンバイからアクティブへの状態遷移時に正のワンショットパルスを発生する第1のパルス出力端とその反転パルスを発生する第2のパルス出力端を備えたワンショットパルス発生回路と、第1のPチャネルMOS型FETと、第1のNチャネルMOS型FETと、ゲート電極と基体電極が相互接続されたPチャネルMOS型FETで構成された第1のハイブリッドモードデバイスと、第2のPチャネルMOS型FETと、第2のNチャネルMOS型FETと、ゲート電極と基体電極が相互接続されたNチャネルMOS型FETで構成された第2のハイブリッドモードデバイスと、第3のNチャネルMOS型FETと第3のPチャネルMOS型FETを含み、前記第1のインバータ回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子に接続されて出力端は前記第2のインバータ回路の入力端と前記第2のPチャネルMOS型FETのゲート電極と前記第2のNチャネルMOS型FETのゲート電極に接続され、前記第2のインバータ回路の出力端は前記第1のPチャネルMOS型FETのゲート電極と、前記第1のNチャネルMOS型FETのゲート電極に接続され、前記ワンショットパルス発生回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子接続されて前記第1のパルス出力端は前記第3のNチャネルMOS型FETのゲート電極に接続されて前記第2のパルス出力端は前記第3のPチャネルMOS型FETのゲート電極に接続され、前記第1のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第1のハイブリッドモードデバイスのゲート電極に接続されるとともに前記第1のバイアス電圧出力端子に接続され、前記第1のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のハイブリッドモードデバイスのソース電極は前記電源端子に接続され、前記第3のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第3のPチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、前記第2のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第2のハイブリッドモードデバイスのゲート電極に接続されるとともに、前記第2のバイアス電圧出力端子に接続され、前記第2のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、前記第2のハイブリッドモードデバイスのソースは前記接地端子に接続され、前記第3のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続されて成るものである。

【0032】そして本発明のバイアス電圧発生回路は、

好ましい態様として、アクティブとスタンバイの状態切り替え信号の入力端子と、電源端子と、接地端子と、第1のバイアス電圧出力端子と第2のバイアス電圧出力端子と第1のインバータ回路と、第2のインバータ回路と、スタンバイからアクティブへの状態遷移時に正のワンショットパルスを発生する第1のパルス出力端とその反転パルスを発生する第2のパルス出力端を備えた第1のワンショットパルス発生回路と、スタンバイからアクティブへの状態遷移時に前記第1のワンショットパルス発生回路の第2のパルス出力端のパルスと比較してより短時間のワンショットパルスを発生する第3のパルス出力端とその反転パルスを発生する第4のパルス出力端を備えた第2のワンショットパルス発生回路と、第1のPチャネルMOS型FETと、第1のNチャネルMOS型FETと、ゲート電極と基体電極が相互接続されたPチャネルMOS型FETで構成された第1のハイブリッドモードデバイスと、第2のPチャネルMOS型FETと、第2のNチャネルMOS型FETと、ゲート電極と基体電極が相互接続されたNチャネルMOS型FETで構成された第2のハイブリッドモードデバイスと、第3のNチャネルMOS型FETと第3のPチャネルMOS型FETと、第4のNチャネルMOS型FETと第4のPチャネルMOS型FETを含み、前記第1のインバータ回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子に接続されて出力端は前記第2のインバータ回路の入力端と前記第2のPチャネルMOS型FETのゲート電極と前記第2のNチャネルMOS型FETのゲート電極に接続され、前記第2のインバータ回路の出力端は前記第1のPチャネルMOS型FETのゲート電極と、前記第1のNチャネルMOS型FETのゲート電極に接続され、前記第1のワンショットパルス発生回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子接続されて前記第1のパルス出力端は前記第3のNチャネルMOS型FETのゲート電極に接続されて前記第2のパルス出力端は前記第3のPチャネルMOS型FETのゲート電極に接続され、前記第2のワンショットパルス発生回路の入力端は前記アクティブとスタンバイの状態切り替え信号の入力端子接続されて前記第3のパルス出力端は前記第4のPチャネルMOS型FETのゲート電極に接続されて前記第4のパルス出力端は前記第4のNチャネルMOS型FETのゲート電極に接続され、前記第1のPチャネルMOS型FETのソース電極は前記電源端子に接続されたドレイン電極は前記第1のハイブリッドモードデバイスのゲート電極に接続されるとともに前記第1のバイアス電圧出力端子に接続され、前記第1のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、前記第1のハイブリッドモードデバイスのソース電極は前記電源端子に接続され、前記第3のNチャネルMOS型FET

Tのソース電極は前記接地端子に接続され、ドレイン電極は前記第1のバイアス電圧出力端子に接続され、前記第4のPチャネルMOS型FETのドレイン電極は前記接地端子に接続されてソース電極は前記第1のバイアス電圧出力端子に接続され、前記第2のNチャネルMOS型FETのソース電極は前記接地端子に接続され、ドレイン電極は前記第2のハイブリッドモードデバイスのゲート電極に接続されるとともに前記第2のバイアス電圧出力端子に接続され、前記第2のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、前記第2のハイブリッドモードデバイスのソースは前記接地端子に接続され、前記第3のPチャネルMOS型FETのソース電極は前記電源端子に接続され、ドレイン電極は前記第2のバイアス電圧出力端子に接続され、前記第4のNチャネルMOS型FETのドレイン電極は前記電源端子に接続されてソース電極は前記第1のバイアス電圧出力端子に接続されて成るものである。

【0033】

【作用】本発明のシリコン・オン・インシュレータ半導体装置によれば、スタンバイ時からアクティブ時に、又はアクティブ時からスタンバイ時に遷移する際に、充放電する容量を小さくすることができるため、遷移時間を短縮することができる。また、本発明によれば、各MOS型FETの基体が構造的に分離されていることから、回路ブロック毎にMOS型FETの基体を接続してその電位を制御することにより回路ブロック毎にアクティブ時とスタンバイ時で閾値電圧を制御することが可能とされ、回路ブロック毎に緻密な消費電力制御を行うことができる。

【0034】さらに、本発明のバイアス電圧発生回路によれば、NMOSの基体に接続される出力端子VNの電位はPN接合の順方向電圧VF以下に、PMOSの基体に接続される出力端子VPの電位は(VDD-VF)以上に確実に設定できるため、アクティブ時に基体とソース拡散層の間が順方向にバイアスされて大電流が流れることを回避し、安定なバイアス電圧発生回路を提供することができる。

【0035】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0036】【本発明のシリコン・オン・インシュレータ半導体装置の第1実施例】本発明のシリコン・オン・インシュレータ半導体装置の第1の実施例を以下に説明する。図1は本発明の一実施例の構成を説明するための断面図である。

【0037】図1を参照して、シリコン基板101上に形成された埋め込み酸化膜102の上に酸化膜103で絶縁分離されたNMOSの基体となるP型シリコン基体104上にゲート酸化膜108を介して形成されたゲー

ト電極のポリシリコン109とこれに対して自己整合的に形成されてソース及びドレイン電極を構成するN型拡散層105が形成され、同様にPMOSの基体となるN型シリコン基体106上にゲート酸化膜108を介して形成されたゲート電極のポリシリコン109とこれに対して自己整合的に形成されてソース及びドレイン電極を構成するP型拡散層107が形成され、NMOSのソース電極は接地され、PMOSのソース電極はVDD電源110に接続され、NMOSのドレイン電極とPMOSのドレイン電極は接続され、NMOSの基体であるP型シリコン基体104にはNMOS側バイアス電源111が接続され、PMOSの基体であるN型シリコン基体106にはPMOS側バイアス電源112が接続されている。これは、図21の前記従来例の断面図に対応した構成となっている。

【0038】アクティブ時にはNMOS側バイアス電源111の電圧を接地電位より高く且つP-N接合の順方向電圧VFより低い電圧、例えば0.5Vに設定することによりNMOSの閾値電圧を低下させて-0.2V程度とし、スタンバイ時にはNMOS側バイアス電源111の電圧を接地電位である0Vまで低下させることによりNMOSの閾値電圧を増大させて0.5V程度とすることで、同様にアクティブ時にはPMOS側バイアス電源112の電圧をVDD電源110の電圧、例えば2Vの電圧より低く且つVDD電源110の電圧からVFを引いた電圧より高い電圧、例えば1.5Vに設定することによりPMOSの閾値電圧を絶対値で低下させて-0.2V程度とし、またスタンバイ時にはPMOS側バイアス電源112の電圧をVDD電源110の電圧と等しい値まで上昇させることによりPMOSの閾値電圧を絶対値で上昇させて-0.5V程度とすることは、図21の前記従来例と同様である。

【0039】従って、本実施例は、図21の前記従来例と同様にして、アクティブ時にはPMOSとNMOSの閾値電圧を絶対値で小さくして高速動作させ、スタンバイ時には閾値電圧を絶対値で大きくしてサブスレッシュホールド電流による電力消費を低減することができる他、さらに、本実施例においては、P型シリコン基体104の領域の体積が小さく、また厚い埋め込み酸化膜102上に形成されていることから、周囲との寄生容量が図21の前記従来例におけるP型ウェル201と比較して遙かに小さくできるため、NMOS側バイアス電源111によりアクティブからスタンバイへ、またスタンバイからアクティブに遷移する場合にNMOSの閾値電圧が変化し安定するまでに要する時間を前記従来例と比較して大幅に低減することができる。

【0040】同様にして、本実施例においては、P型シリコン基体106の領域についても寄生容量が図21の前記従来例におけるN型ウェル202と比較して遙かに小さくできるため、PMOS側バイアス電源112によ

17

りアクティブからスタンバイへ、またスタンバイからアクティブに遷移する場合にPMOSの閾値電圧が変化し安定するまでに要する時間を大幅に低減することができるという新たな利点が得られる。

【0041】また、本実施例においては、P型シリコン基体104及びN型シリコン基体106はそれぞれ埋め込み酸化膜102、酸化膜103、N型拡散層105またはP型拡散層107に囲まれて個々のMOSFET毎に電気的に完全に分離しているため、複数のNMOSと複数のPMOSを集積化した場合には複数のNMOS側バイアス回路と複数のPMOS側バイアス回路を設けることにより、回路ブロック毎に、あるいは更に極端な場合として、個別のMOSFET毎にアクティブ時とスタンバイ時のそれらの状態における閾値電圧の制御を行うことができるようになる。このように、本実施例は、図21の前記従来例では不可能とされた作用効果を達成している。

【0042】以上、本発明の第1の実施例を図1を参照して概念的に説明したが、以下により具体的且つ詳細に説明する。

【0043】図2は、複数のNMOSと複数のPMOSを含む回路ブロックの回路図の一例を示している。

【0044】図2を参照して、本回路ブロックは、CMOSインバータと、CMOS2入力NAND回路と、を含み、CMOSインバータは、電源端子VDDと接地端子GNDとの間に接続されたPMOS201とNMOS202とから構成され、第1の入力端子I1を入力とし、CMOS2入力NAND回路は、PMOS203とPMOS204とNMOS205とNMOS206から構成され、CMOSインバータの出力がPMOS203及びNMOS205のそれぞれのゲート電極に接続され、第2の入力端子I2がPMOS204及びNMOS206のそれぞれのゲート電極に接続されている。

【0045】この回路ブロックに含まれるPMOSすなわちPMOS201、PMOS203、PMOS204のそれぞれの基体端子はPMOS側バイアス発生器207に接続され、同様にしてこの回路ブロックに含まれるNMOSすなわちNMOS202、NMOS205、NMOS206のそれぞれの基体端子はNMOS側バイアス発生器208に接続されており、PMOS側バイアス発生器207はアクティブ時にはVDD端子の電圧より低く且つVFより高い電圧を発生し、スタンバイ時にはVDD端子の電圧を発生し、NMOS側バイアス発生器208はアクティブ時にはGND端子の電圧より高く且つVFより低い電圧を発生し、スタンバイ時にはGND端子の電圧を発生する。

【0046】図3は、図2に示す回路ブロックをシリコン・オン・インシュレータ基板上に1層のアルミ配線を用いて形成したときの平面図である。

【0047】図3を参照して、上段に左から図2のPM

10

OS201、PMOS203、PMOS204の順に配置され、下段に左からNMOS202、NMOS20

6、NMOS205の順に配置され、それぞれのPMOSのN型シリコン基体106は基体-アルミ間コンタクト303及びアルミ配線304を介してPMOS側バイアス発生器207に接続され、それぞれのNMOSのP型シリコン基体104は基体-アルミ間コンタクト303及びアルミ配線304を介してNMOS側バイアス発生器208に接続されている。図中302はポリシリコ

ン-アルミ間コンタクトを示している。

【0048】図3に示したシリコン・オン・インシュレータ半導体基板は、例えばシリコン基板に酸素原子をイオン注入して高温で熱処理することによってシリコン基板中に埋め込みシリコン酸化膜層を形成するサイモックス(SIMOX: separation by implanted oxygen)技術等の公知の技術により作成されたシリコン・オン・インシュレータ基板を用いて通常のCMOS製造技術を流用することによって容易に形成できる。

20 【0049】また、シリコン基体からアルミ配線層に引き出すための基体-アルミ間コンタクト303については、例えば文献「EEE TRANSACTION ON ELECTRON DEVICES」、1987年4月号、第845ページ、Fig. 1に構造の一例が記載されており、公知技術により形成可能である。

【0050】図4は、図3の平面図におけるPMOS部分のA-A'線の断面図を示し、図5は、図3の平面図におけるNMOS部分のB-B'線の断面図を示し、図6は図3の平面図においてPMOSとNMOSの両方の領域を貫通したC-C'線の断面図を示している。

【0051】PMOSの基体であるN型シリコン基体106は、図4及び図6から明らかのように、下面が厚い埋め込み酸化膜102に接して側面がソース・ドレインを形成するP型拡散層107及び酸化膜103に覆われていて非常に小さい領域にできるため寄生容量を小さくすることができ、またNMOSの基体であるP型シリコン基体104も、図5及び図6から明らかのように、下面が厚い埋め込み酸化膜102に接して側面がソース・ドレインを形成するN型拡散層105及び酸化膜103に覆われており非常に小さい領域にできるため寄生容量を小さくすることができる。

【0052】図3に示す構造で、0.35μmの設計ルールで100万トランジスタを搭載した大規模集積回路を想定して基体部の寄生容量を総和を試算したところ、PMOSの基体であるN型シリコン基体の寄生容量の総和とNMOSの基体であるP型シリコン基体の寄生容量の総和がそれれ1,000pFとなり、図21の前記従来例の構造で形成した場合の実効的なウェルと基板間の容量22,000pFと比較して基体部の寄生容量を1/20以下にすることができる。

【0053】すなわち、本実施例によれば、図21の前記従来例で問題とされたアクティブからスタンバイへの遷移時間、及びスタンバイからアクティブ時へ遷移時間を1/20程度にまで飛躍的に短縮することができるものであることが明らかとなった。

【0054】図1、図4、図5あるいは図6において、PMOSが形成されるN型シリコン基体106の厚さ、及びNMOSが形成されるP型シリコン基体104の厚さは、略30nmより大きく200nmより小さい範囲が好ましい。

【0055】これは、シリコン基体の厚さが30nm未満の場合にはシリコン基体の抵抗値が大きくなりアクティブからスタンバイへの遷移時間、及びスタンバイからアクティブへの遷移時間を決定するシリコン基体の充放電時間においてシリコン基体の抵抗値が支配的となり、本発明の目的とする遷移時間短縮の効果が損なわれることになるからであり、またシリコン基体の厚さが200nmを越える場合には、PMOSのソース・ドレインとなるP型拡散層107及びNMOSのソース・ドレインとなるN型拡散層105を埋め込み酸化膜102に達するまで深く形成すると必然的に横方向にも広がるためにNMOS及びPMOSの短チャネル化が極めて困難になるからである。

【0056】[本発明のシリコン・オン・インシュレータ半導体装置の第2実施例] 本発明のシリコン・オン・インシュレータ半導体装置の第2の実施例を以下に説明する。

【0057】図7に本発明のシリコン・オン・インシュレータ半導体装置の第2の実施例を示す。

【0058】図7を参照して、シリコン・オン・インシュレータ半導体装置のチップ上にそれぞれに複数のNMOS及びPMOSを含むAブロック、Bブロック、Cブロックと、3個のバイアス電圧発生回路部をすなわちAブロック用バイアス電圧発生回路部701、Bブロック用バイアス電圧発生回路部702、Cブロック用バイアス電圧発生回路部703が形成され、Aブロック用バイアス電圧発生回路部701は第1のアクティブとスタンバイの状態切り替え信号の入力端子ACT1の信号に従ってAブロックに含まれるNMOS及びPMOSの閾値電圧を制御し、Bブロック用バイアス電圧発生回路部702は第2のアクティブとスタンバイの状態切り替え信号の入力端子ACT2の信号に従ってAブロックに含まれるNMOS及びPMOSの閾値電圧を制御し、Cブロック用バイアス電圧発生回路部703は第3のアクティブとスタンバイの状態切り替え信号の入力端子ACT3の信号に従ってCブロックに含まれるNMOS及びPMOSの閾値電圧を制御する。

【0059】このため、本実施例においては、図7に示すようにAブロック、Bブロック及びCブロックのそれぞれを独立にアクティブ及びスタンバイの切替制御を行

なうことが可能とされ、アクティブ時には低閾値電圧の高速動作を、スタンバイ時には高閾値電圧の低消費電力状態を回路ブロック毎に実現できるという、図21の前記従来例では不可能な新たな作用効果を達成している。もちろんAブロック、Bブロック、Cブロックのそれぞれについては、図2、図3、図4、図5及び図6を用いた前記第1の実施例と同様にアクティブ時からスタンバイ時へ、スタンバイ時からアクティブ時への状態遷移を高速に行うことができるという利点を持つことは明白で

10 あり、またAブロック、Bブロック及びCブロックを構成するNMOS及びPMOSにおいて、望ましいN型シリコン基体の厚さ及びP型シリコン基体の厚さが好ましくは30nm～200nmの範囲とされることも前記第1の実施例と同様である。

【0060】[本発明のバイアス電圧発生装置の第1実施例] 次に本発明に係るバイアス電圧発生装置の第1の実施例を説明する。図8は、本発明におけるバイアス電圧発生回路の一実施例の構成を回路図である。

【0061】図8を参照して、バイアス電圧発生回路

20 は、第1のインバータ回路801の入力端はアクティブとスタンバイの状態切り替え信号を入力する入力端子ACTに接続され、第1のインバータ回路801の出力端は、第2のインバータ回路802の入力端と、PMOS812のゲート電極と、NMOS808のゲート電極に接続されている。第2のインバータ回路802の出力端は、PMOS803のゲート電極と、NMOS807のゲート電極に接続されている。PMOS803のソース電極は電源端子VDDに接続され、ドレイン電極は、第1のバイアス電圧出力端子VPに接続されるとともに、閾値電圧が絶対値で小さいPMOS804のドレイン電極及びゲート電極と、PNPバイポーラトランジスタ805のコレクタ電極及びベース電極に接続されている。

【0062】NMOS807のソース電極は接地GNDに接続され、ドレイン電極は抵抗806を介して出力端子VPに接続されている。PMOS804のソース電極とPNPバイポーラトランジスタ805のエミッタ電極は電源端子VDDに接続されている。NMOS808のソース電極は接地端子GNDに接続され、ドレイン電極は、第2のバイアス電圧VNに接続されるとともに、閾値電圧が小さいNMOS809のドレイン電極及びゲート電極と、NPNバイポーラトランジスタ810のコレクタ電極及びベース電極に接続されている。PMOS812のソース電極は電源端子VDDに接続され、ドレイン電極は抵抗811を介して出力端子VNに接続されている。NMOS809のソース電極とNPNバイポーラトランジスタ810のエミッタ電極は接地端子GNDに接続されている。

【0063】図9は、図8においてシリコン・オン・インシュレータ基板上に形成したドレイン電極とゲート電極を相互接続したNMOS809と、コレクタ電極とベ

21

ース電極を相互接続したNPNバイポーラトランジスタ810を並列接続した部分の断面図であり、図10はその電圧電流特性である。

【0064】図9を参照して、NPNバイポーラトランジスタは、NチャネルMOS型FETと同一の構造で、そのゲート電極を接地し、ドレイン電極をコレクタ電極とし、P型基体をベースとし、ソース電極をエミッタ電極として使用した横型バイポーラトランジスタであり、これと並列接続されるNMOSの閾値電圧は少なくともPN接合の順方向電圧より低い値としている。

【0065】図9において、NPNバイポーラトランジスタのコレクタ電極とNMOSのドレインの接続点VNに電圧Vを加えた場合のNMOSに流れる電流IMと、NPNバイポーラトランジスタに流れるIBと、これらの電流の総和ITとは、それぞれ図10に示すようになる。

【0066】図10を参照して、NMOSの電流特性は、閾値電圧がVFより低く、一方で電流駆動能力が低いため、図中IMで示すようになだらかな特性となり、NPNバイポーラトランジスタの電流特性はVFから急激に立ち上がるIBで示す特性となるため、合成した特性はITのようになる。

【0067】したがって、図9の端子VNを適切な抵抗値の抵抗Rを介して電源VDDに接続した場合には、図10に示すように、端子VNの電位は合成した電流特性ITと抵抗Rによる負荷線の交点となるため、抵抗Rに抵抗値の十分大きなものを採用することにより、端子VNには確実にVFより低い電圧を発生させるとともに、端子VNの電位が外部からのノイズ等で瞬間に上昇した場合でも合成した電流特性ITの電圧VFを印加した近傍の電流駆動力が非常に大きいため、速やかに安定点である合成した電流特性ITと抵抗Rによる負荷線の交点で示される電位に復帰する。このため、本実施例のバイアス電圧発生回路は安定なバイアス源として働く。

【0068】以上、図8における閾値電圧の低いNMOS809とNPNバイポーラトランジスタ810の並列回路部分の特性について詳説したが、閾値電圧が絶対値で低いPMOS804とPNPバイポーラトランジスタ805の並列回路部についてもVDD端子の電位を基準として電圧極性を反転すれば全く同様である。

【0069】次に図8に示した本発明におけるバイアス電圧発生回路の第1の実施例の動作について、そのタイムチャートである図11を参考しながら説明する。

【0070】入力端子ACTの入力信号がGND端子の電位レベルの時はスタンバイ状態であり、第1のインバータ回路801の出力端はVDD端子の電位レベルとなり、第2のインバータ回路802の出力端はGNDレベルとなるため、PMOS803はオン状態で、NMOS812はオフ状態となり、このため出力端子VDの電位はVDDレベルとなり、またPMOS812はオフ状態

22

で、NMOS806はオン状態となるため、出力端子VNの電位はGNDレベルとなる。

【0071】次に出力端子ACTの入力信号がGNDレベルからVDDレベルに変化してスタンバイ状態からアクティブ状態になると、第1のインバータ回路801の出力端はGNDレベルに変化し、第2のインバータ回路802の出力端はVDDレベルに変化するため、PMOS812はオン状態へと変化し、NMOS808はオフ状態となり、閾値電圧の低いNMOS809とNPNバ

10 10 IPモードトランジスタ810の並列回路に電流が流れ、出力端子VNの電位は、図11に示すように、GND端子の電位レベルより高く、且つPN接合の順方向電圧VFより低い電圧となる。これは先に図9及び図10を用いて説明した通りである。

【0072】また、PMOS803はオフ状態となり、NMOS807がオン状態となるため、閾値電圧が絶対値で低いPMOS804とPNPバイポーラトランジスタ805の並列回路部に電流が流れ、出力端子VPの電位は、図11に示すように、VDD端子のレベルより低く、且つVDDレベルからVFを引いた値より高い電圧へと変化する。

【0073】入力端子ACTの入力信号がVDDレベルからGNDレベルに再び変化してスタンバイ状態になるときは、再び第1のインバータ回路801の出力端はVDDレベルへ、第2のインバータ回路802の出力端はGNDレベルへと変化し、PMOS803はオン状態、NMOS807はオフ状態となり、出力端子VPの電位はVDDレベルへと変化し、またPMOS812はオフ状態、NMOS808状態はオン状態となるので、出力端子VNの電位はGNDレベルへと変化する。

【0074】従って、本実施例のバイアス電圧発生回路は、出力端子VPを、図2のPMOS側バイアス発生器207として用い、且つ出力端子VNをNMOS側バイアス発生器208として用いることにより、本発明に係るシリコン・オン・インシユレータ半導体装置のバイアス電圧発生回路として適している。

【0075】図10において、抵抗806は、出力端子VPの電位がスタンバイ時のVDDレベルからアクティブ時のレベルまで遷移するに要する時間と、アクティブ状態における消費電力を決定し、抵抗806の抵抗値が小さい場合には遷移時間は短縮されるが消費電力が増大する。

【0076】同様にして抵抗811は、出力端子VNの電位のスタンバイ状態からアクティブ状態への遷移時間と、アクティブにおける消費電力を決定し、抵抗811の抵抗値が小さい場合には遷移時間は短縮されるが消費電力が増大する。但し、抵抗806及び抵抗811はそれぞれNMOS807及びPMOS812のオン状態での抵抗を適切に設計することによって省略することもできる。

50

【0077】[本発明のバイアス電圧発生装置の第2実施例] 本発明のバイアス電圧発生装置の第2実施例を以下に説明する。図12は、図8における閾値電圧が絶対値で低いPMOS804とPNPバイポーラトランジスタ805からなる並列回路部を、P型ハイブリッドモードデバイス121に置き換える、また閾値電圧が低いNMOS809とNPNバイポーラトランジスタ810からなる並列回路部をN型ハイブリッドモードデバイス122に置き換えた回路構成であり、それ以外の部分は図8と同一である。

【0078】ハイブリッドモードデバイスは、例えば文献「IEEE ELECTRON DEVICE LET TERS」、1993年5月号、第234頁から236頁に記載があるが、ここではN型のハイブリッドモードデバイスを例として図13及び図14を用いて説明する。

【0079】図13は、N型ハイブリッドモードデバイスの概念を説明する断面図である。図13を参照して、N型ハイブリッドモードデバイスは、シリコン・オン・インシュレータ基板上に形成したNチャネルMOS型FETのゲート電極と基体電極を短絡した構造となっている。

【0080】図13に示すように、N型拡散層105の一方をソース電極として接地し、他方をドレイン電極としてゲート電極のポリシリコン109及びP型シリコン基体104と接続するとともに端子VNに接続したN型ハイブリッドモードデバイスにおいて、端子VNに印加した電圧Vと電流Iとの関係は、図14の電圧-電流特性において、特性IHのようになる。

【0081】すなわち、N型ハイブリッドモードデバイスでは、ゲート電極のポリシリコン109とP型シリコン基体の電位が同時に上昇するが、ソース側のN型拡散層105とP型シリコン基体によるPN接合の電位障壁がゲート電極に加えられた正電圧の影響によりゲート酸化膜108に近い表面において小さくなり、N型ハイブリッドモードデバイスを横型NPNバイポーラトランジスタとみなした場合、これをオン状態とするに必要なベース・エミッタ間電圧VBEは、ゲートを接地して二つのN型拡散層105の一方をコレクタとし他方をエミッタとして、P型シリコン基体104をベースとした横型NPNバイポーラトランジスタをオン状態にするに必要なベース・エミッタ間電圧であるVFより0.3ボルト程度低くなる。

【0082】このため、N型ハイブリッドモードデバイスの電圧・電流特性は、通常の横型NPNバイポーラトランジスタの電流特性を低電圧側に0.3ボルト程度ほぼ平行移動した特性となる。

【0083】図13における端子VNを抵抗Rを介して電源端子VDDに接続した場合には、抵抗Rに抵抗値が十分大きいものを使用することによって、本発明のバイ

アス電圧発生装置の前記第1実施例において、図9及び図10を参照して説明したのと同様に、端子VNの電位としてVFより低い電位を安定に得ることができる。なお、図12のP型ハイブリッドモードデバイス121の構造及び特性は、以上のN型ハイブリッドモードデバイスの説明において不純物の極性、電圧の極性を反転すればよいので、その説明を省略する。

【0084】図12のバイアス電圧発生回路の動作については、すでに本発明のバイアス電圧発生装置の前記第

10 1実施例の説明である図8の動作について図11のタイミングチャートを用いて説明したものと同様であるので省略する。

【0085】図12のバイアス電圧発生回路において、抵抗806と抵抗811の働きは図8の前記第1の実施例で説明したものと同一であるため、NMOS807及びPMOS812のオン状態での抵抗を適切に設計することによって省略できることも同様である。

【0086】図12の本実施例では、図8におけるバイポーラトランジスタと閾値電圧が絶対値で低いMOS型FETの並列回路部をハイブリッドモードデバイスに置き換えることにより素子数の低減が可能となるとともに、閾値電圧の低いMOS型FETが不要となるので集積回路として製造する場合の製造工程が簡略化できるという新たな利点が生じる。

【0087】[本発明のバイアス電圧発生装置の第3実施例] 図15は、本発明のバイアス電圧発生回路の第3の実施例の回路図であり、図16はその動作を説明するためのタイミングチャートである。

【0088】図15のバイアス電圧発生回路では、図13から抵抗806と抵抗811を省き、ワンショットパルス発生回路151とNMOS152とPMOS153を付加した構成とされ、ワンショットパルス発生回路151の入力端は入力端子ACTに接続され、一方の出力端P1はNMOS152のゲート電極に接続され、他方の出力端P2はPMOS153のゲート電極に接続されている。

【0089】また、NMOS152のドレイン電極は出力端子VPに接続され、ソース電極は接地端子GNDに接続されており、PMOS153のドレイン電極は出力端子VNに接続され、ソース電極は電源端子VDDに接続されている。

【0090】図16を参照して、本実施例の回路動作を以下に説明する。

【0091】入力端子ACTの入力信号がGNDレベルの時、すなわちスタンバイ状態では第1のインバータ回路801の出力端はVDDレベル、第2のインバータ回路802の出力端はGNDレベルのため、PMOS803はオン状態で、NMOS807はオフ状態で、NMOS808はオン状態、PMOS812はオフ状態であり、またワンショットパルス発生回路151の出力端P

25

1はGNDレベル、出力端子P 2はVDDレベルのため、NMOS 152及びPMOS 153はいずれもオフ状態となり、出力端子VPはVDDレベル、出力端子VNはGNDレベルとなっている。

【0092】入力端子ACTの入力信号がGNDレベルからVDDレベルに変化してアクティブになると、インバータ回路801の出力端はGNDレベルに変わり、第2のインバータ回路802の出力端はVDDレベルに変わるために、PMOS 803はオフ状態へ、NMOS 807はオン状態へ、NMOS 808はオフ状態へ、PMOS 812はオン状態へそれぞれ変わり、またワンショットパルス発生回路151の出力端P 1には一発の正方向パルスが発生し、他の出力端P 2には一発の負方向パルスが発生してNMOS 152及びPMOS 153をそれぞれのパルス幅で定められる期間オン状態とするため、アクティブ状態の初期の期間は出力端子VPに対してNMOS 807に加えてNMOS 152も放電路を形成することから、出力端子VPのVDDレベルからアクティブ状態の設定レベルへの遷移は迅速に行われ、同様にして出力端子VNに対してPMOS 812に加えてPMOS 153も充電路を形成することから、出力端子VNのGNDレベルからアクティブ状態の設定レベルへの遷移は迅速に行われることになる。

【0093】入力端子ACTの入力信号が再びVDDレベルからGNDレベルに変化してアクティブ状態からスタンバイ状態に遷移するときは、第1のインバータ回路801の出力端はVDDレベルに変わり、第2のインバータ回路802の出力端はGNDレベルに変わるために、PMOS 803はオン状態へ、NMOS 807はオフ状態へ、NMOS 808はオン状態へ、PMOS 812はオフ状態へ変わり、またワンショットパルス発生回路151の出力端P 1はGNDレベルのままで出力端P 2のレベルはVDDレベルのままでNMOS 152及びPMOS 153はいずれもオフ状態のまま変化せず、出力端子VPはVDDレベルへと変化し、出力端子VNはGNDレベルへと変化する。

【0094】本実施例においては、スタンバイ状態からアクティブ状態に変化するときの出力端子VP及びVNが安定するまでに要する遷移時間を短縮することができ、特にNMOS 152及びPMOS 153の電流駆動力を大きく設定して、NMOS 807及びPMOS 812の電流駆動力を小さく設定することにより、図12の前記第2の実施例と比較して、スタンバイ状態からアクティブ状態への遷移時間を大幅に短縮できるとともに、アクティブ時の大半の期間にはNMOS 807を通して流れる電流とPMOS 812を通して流れる電流が支配的なのでアクティブ期間中に消費する電力も低減することができるという新たな効果が得られる。

【0095】[本発明のバイアス電圧発生装置の第4実施例] 図17に本発明のバイアス電圧発生回路の第4の

26

実施例の回路図を示し、図18にその動作を説明するためのタイミングチャートを示す。

【0096】図15に示した前記第3の実施例では、NMOS 152とPMOS 153の電流駆動力を大きくするとP1端子及びP2端子で発生するパルス幅との関係で、パルス幅が大きいときにはNMOS 152を通じて過放電して出力端子VPの電位が瞬間にVDDレベルからVFを引いた電位よりも低くなり、同様にPMOS 153を通じて過充電して出力端子VNの電位が瞬間にVFより高くなる危険性が生じるが、本実施例は、この危険性を回避するものである。

10

【0097】図17を参照して、本実施例は、図15の前記第3の実施例の回路に、第2のワンショットパルス発生回路171とPMOS 172とNMOS 173を附加した構成となっている。そして、第2のワンショットパルス発生回路171の入力端は入力端子ACTに接続され、一方の出力端P 3はPMOS 172のゲート電極に接続された他方の出力端P 4はNMOS 173のゲート電極に接続され、PMOS 172のソース電極は出力端子VPに接続され、ドレイン電極は接地端子GNDに接続されていて、NMOS 173のソース電極は出力端子VNに接続され、ドレイン電極は電源端子VDDに接続されている。

20

【0098】図18の動作タイミングチャートに示すように、第2のワンショットパルス発生回路171の出力端P 3で発生するパルスは、第1のワンショットパルス発生回路151の出力端P 1で発生するパルスとほぼ同時に変化を開始する逆相のパルスで、且つパルス幅が小さい。同様に第2のワンショットパルス発生回路171の出力端P 4で発生するパルスは第1のワンショットパルス発生回路151の出力端P 2で発生するパルスとほぼ同時に変化を開始する逆相のパルスで、且つパルス幅が小さい。

30

【0099】入力端子ACTの入力信号がGNDレベルの時、すなわちスタンバイ状態では第1のインバータ回路801の出力端はVDDレベル、第2のインバータ回路802の出力端はGNDレベルのため、PMOS 803はオン状態で、NMOS 807はオフ状態、NMOS 808はオン状態、PMOS 812はオフ状態であり、ワンショットパルス発生回路151の出力端P 1はGNDレベルで、出力端P 2はVDDレベルのため、NMOS 152及びPMOS 153はいずれもオフ状態であり、第2のワンショットパルス発生回路171の出力端P 3はVDDレベル、出力端P 4はGNDレベルのため、PMOS 172及びNMOS 173のいずれもオフ状態であるため、出力端子VPはVDDレベル、出力端子VNはGNDレベルとなっている。

40

【0100】入力端子ACTの入力信号がGNDレベルからVDDレベルに変化してアクティブ状態になると、第1のインバータ回路801の出力端はGNDレベルに

50

変わり、第2のインバータ回路802の出力端はVDDレベルに変わるために、PMOS803はオフ状態へ、NMOS807はオン状態へ、NMOS808はオフ状態へ、PMOS812はオン状態へそれぞれ変わり、ワンショットパルス発生回路151の出力端P1には一発の正方向パルスが発生し、他の出力端P2には一発の負方向パルスが発生してNMOS152及びPMOS153をオン状態とすると同時に、第2のワンショットパルス発生回路171の出力端P3にはP1のパルスより短いパルス幅の負方向パルスが発生し、他の出力端P4にはP2のパルスより短いパルス幅の正方向パルスが発生してPMOS172及びNMOS173をオン状態とする。

【0101】従って、図18に示すように、本実施例においては、P3パルスの期間はPMOS172、NMOS152及びNMOS807がオン状態となってVP端子を放電するが、PMOS172はソース電極が出力端子VPに接続されているので、出力端子VPの電位の下降とともに閾値電圧が絶対値で上昇する一方でソース電極とゲート電極間の電位差も絶対値で減少するためにPMOS172の放電能力はアクティブ状態に入った直後は大きいが出力端子VPの電位下降とともに低下する。【0102】P3パルスが切れてからP1パルスが切れるまでの期間はNMOS152及びNMOS807がオン状態を維持して出力端子VPを放電し、P1パルスが切れてから後はNMOS807のみがオン状態で出力端子VPからの放電路を形成する。

【0103】その結果、出力端子VPの電位は、図18に示すように、3段階を経て滑らかに電位変化してアクティブ状態で設定された電位に安定するようになるため、出力端子VPの電位が瞬間にVDDからVFを引いた電位以下に過放電されることを防止することができる。同様に、P4パルスの期間はNMOS173、PMOS153及びPMOS812がオン状態となってVN端子が充電するが、NMOS173はソース電極が出力端子VNに接続されているため、出力端子VNの電位の上昇とともに閾値電圧が上昇する一方でソース電極とゲート電極間の電位差も減少することになり、NMOS173の放電能力はアクティブ状態に入った直後は大きいが出力端子VNの電位上昇とともに低下する。

【0104】P4パルスが切れてからP2パルスが切れるまでの期間はPMOS153及びPMOS812がオン状態を維持して出力端子VNを充電し、P2パルスが切れてから後はPMOS812のみがオン状態で出力端子VNからの充電路を形成する。その結果出力端子VNの電位も、図18に示すように、3段階を経て滑らかに電位変化してアクティブ状態で設定された電位に安定するようになるので出力端子VNの電位が瞬間にVF以上に過充電されることを防止することができる。

【0105】入力端子ACTの入力信号が再びVDDレ

ベルからGNDレベルに変化してアクティブ状態からスタンバイ状態に遷移するときは、第1のインバータ回路801の出力端はVDDレベルに変わり、第2のインバータ回路802の出力端はGNDレベルに変わるために、PMOS803はオン状態へ、NMOS807はオフ状態へ、NMOS808はオン状態へ、PMOS812はオフ状態へそれぞれ変わり、ワンショットパルス発生回路151の出力端P1はGNDレベルのままで出力端P2のレベルはVDDレベルのままであるため、NMOS152及びPMOS153はいずれもオフ状態のまま変化せず、出力端子VPはVDDレベルへと変化し、出力端子VNはGNDレベルへと変化する。

【0106】以上に述べたように、図18にタイミング図を示す本実施例においては、スタンバイ時からアクティブ時に遷移する際にVP端子が過放電すること及びVN端子が過充電することを防止することができるという新たな利点が生じる。

【0107】さらにつけ加えれば、PMOS172の電流駆動能力を大きく、NMOS807の電流駆動能力を小さくして、NMOS152の電流駆動能力はこれらの間に設定することが回路動作の安定性向上とアクティブ時の消費電力低減のために好ましく、またNMOS173の電流駆動能力を大きく、PMOS812の電力駆動能力を小さくして、PMOS153の電力駆動能力はこれらの間に設定することが回路動作の安定性向上とアクティブ時の消費電力低減のために好ましい。

【0108】以上本発明を上記各実施例に即して説明したが、本発明は上記態様にのみ限定されるものではなく、本発明の原理に準ずる各種態様を含むことは勿論である。

【0109】

【発明の効果】以上説明したように、本発明のシリコン・オン・インシレータ半導体装置によれば、スタンバイ時からアクティブ時に、あるいはアクティブ時からスタンバイ時に遷移するときに充放電する容量を小さくすることができるので、遷移に要する時間を短縮することができ、またそれぞれのMOS型FETの基体が構造的に分離されていることから、回路ブロック毎にMOS型FETの基体を接続してその電位を制御することにより回路ブロック毎にアクティブ時とスタンバイ時で閾値電圧を制御してブロック毎に緻密な消費電力制御を行うことができるという効果がある。

【0110】また本発明のバイアス電圧発生回路によれば、NMOSの基体に接続される出力端子VNの電位はPN接合の順方向電圧VF以下に、PMOSの基体に接続される出力端子VPの電位は(VDD-VF)以上に

確実に設定できるため、アクティブ時に基体とソース拡散層の間が順方向にバイアスされて大電流が流れることを防止することができ、安定なバイアス電圧発生回路を提供することができる。

【図面の簡単な説明】

【図1】本発明のシリコン・オン・インシュレータ半導体装置の第1の実施例の構成を示す断面図である。

【図2】本発明のシリコン・オン・インシュレータ半導体装置の第1の実施例の回路構成を示す図である。

【図3】本発明のシリコン・オン・インシュレータ半導体装置の第1の実施例の平面図である。 10

【図4】図3におけるA-A'線の断面図である。

【図5】図3におけるB-B'線の断面図である。

【図6】図3におけるC-C'線の断面図である。

【図7】本発明のシリコン・オン・インシュレータ半導体装置の第2実施例の平面図である。

【図8】本発明のバイアス電圧発生回路の第1実施例の回路構成を示す図である。

【図9】シリコン・オン・インシュレータ基板上に形成したNMOSとNPNバイポーラトランジスタの並列接続部の概念を説明する断面図である。 20

【図10】図9の並列接続部の電圧・電流特性を示す図である。

【図11】図8の回路の動作を説明するタイミング図である。

【図12】本発明のバイアス電圧発生回路の第2実施例の回路構成を示す図である。

【図13】N型ハイブリッドモードデバイスの断面を示す図である。

【図14】図13のN型ハイブリッドモードデバイスの電圧・電流特性を示す図である。 30

【図15】本発明のバイアス電圧発生回路の第3実施例の回路構成を示す図である。

【図16】図15の回路図の動作を説明するタイミング図である。

【図17】本発明のバイアス電圧発生回路の第4実施例の回路構成を示す図である。

【図18】図17の回路図の動作を説明するタイミング図である。

【図19】シリコン基板上に形成した従来のNMOSの断面を示す図である。 40

【図20】図19において基板バイアスV_{sub}を加えたときのバイアス電圧と閾値電圧の関係を示す図である。

【図21】シリコン基板上に形成されて基板バイアスによりアクティブ時とスタンバイ時の閾値電圧を制御できる従来の半導体装置の概要を説明する断面図である。

【符号の説明】

101 シリコン基板

102 埋め込み酸化膜

103 酸化膜

104 P型シリコン基体

105 N型拡散層

106 N型シリコン基体

107 P型拡散層

108 ゲート酸化膜

109 ポリシリコン

110 VDD電源

111 NMOS側バイアス電源

112 PMOS側バイアス電源

121 P型ハイブリッドモードデバイス

122 N型ハイブリッドモードデバイス

151 ワンショットパルス発生回路

152 NMOS

153 PMOS

171 第2のワンショットパルス発生回路

172 PMOS

173 NMOS

201, 203, 204 PMOS

202, 205, 206 NMOS

207 PMOS側バイアス発生器

208 NMOS側バイアス発生器

301 拡散層・アルミ間コンタクト

302 ポリシリコン・アルミ間コンタクト

303 基体・アルミ間コンタクト

304 アルミ

701 Aブロック用バイアス電圧発生回路部

702 Bブロック用バイアス電圧発生回路部

703 Cブロック用バイアス電圧発生回路部

801, 802 インバータ回路

803, 812 PMOS

804 閾値電圧が絶対値で低いPMOS

805 PNPバイポーラトランジスタ

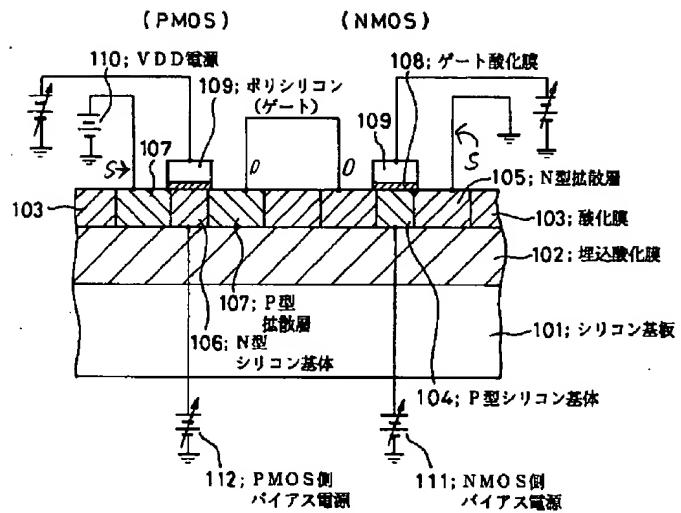
806, 811 抵抗

807, 808 NMOS

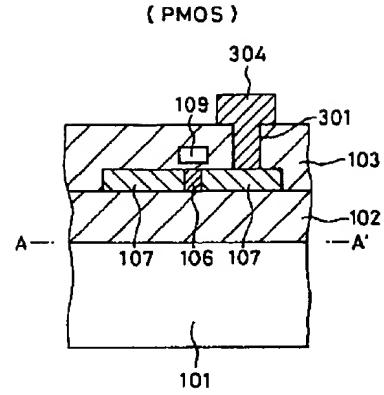
809 閾値電圧が低いNMOS

810 NPNバイポーラトランジスタ

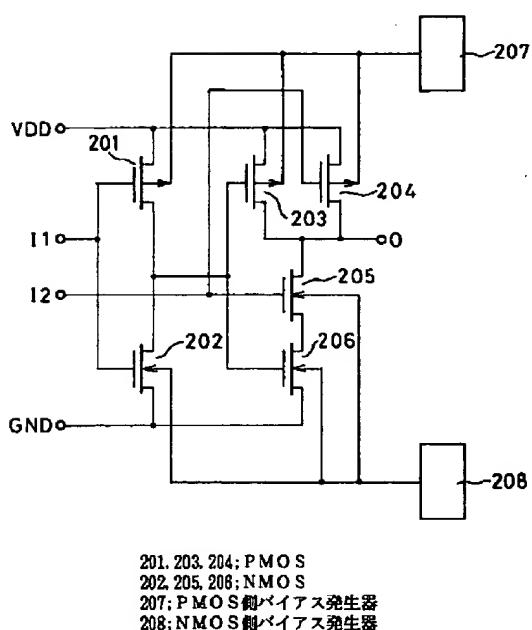
【図1】



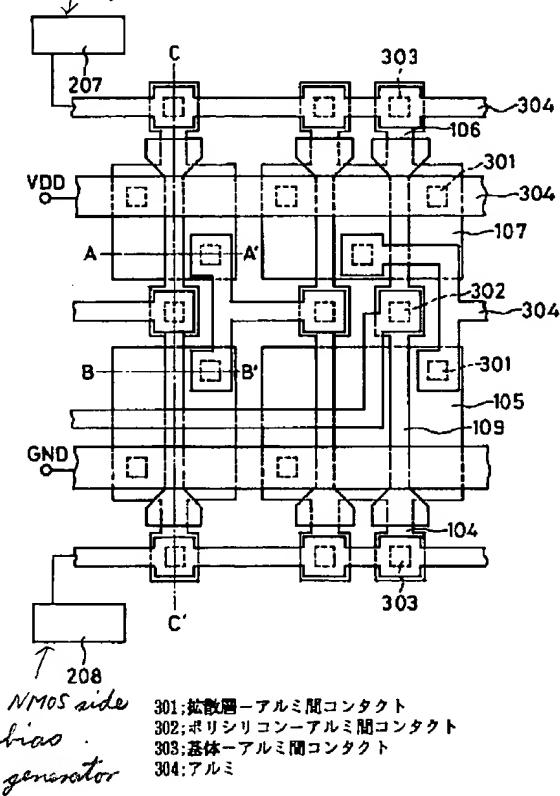
【図4】



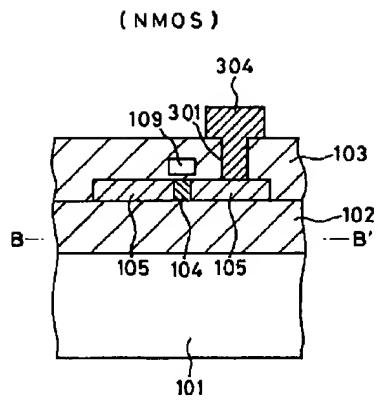
【図2】



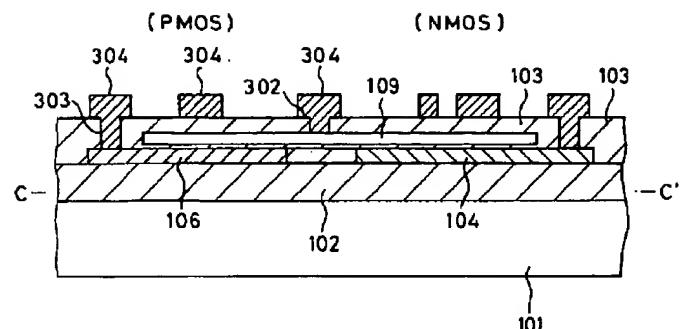
PMOS side bias generator 【図3】



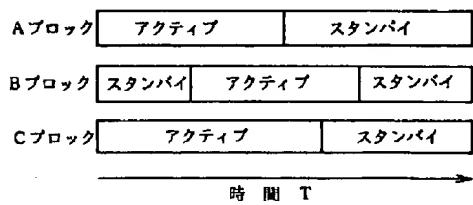
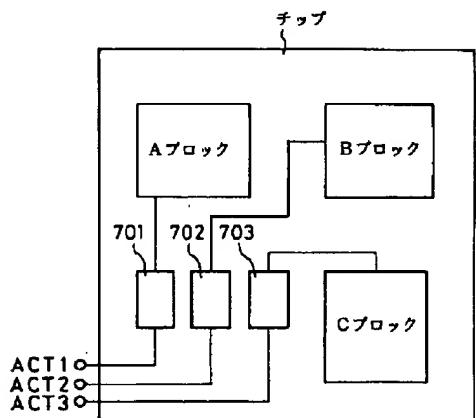
【図5】



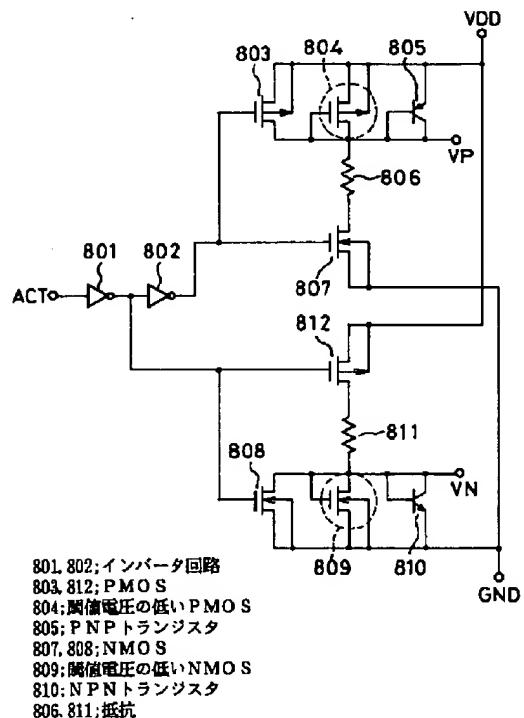
【図6】



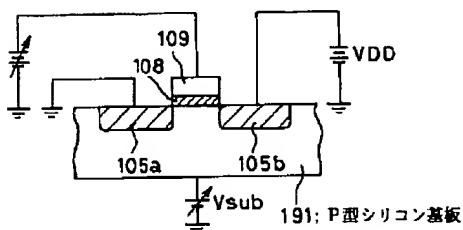
【図7】



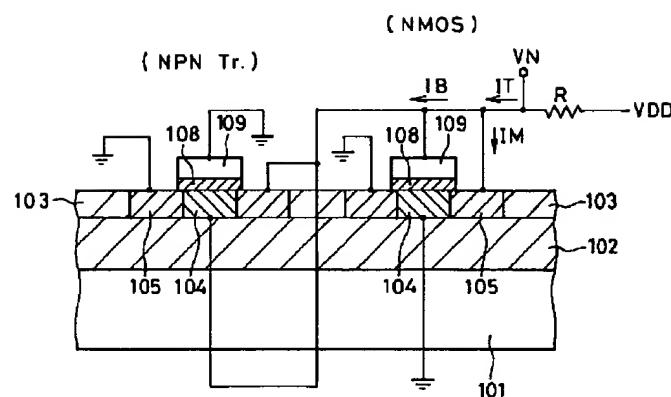
【図8】



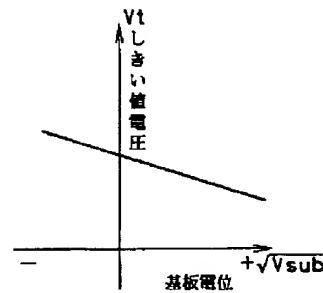
【図19】



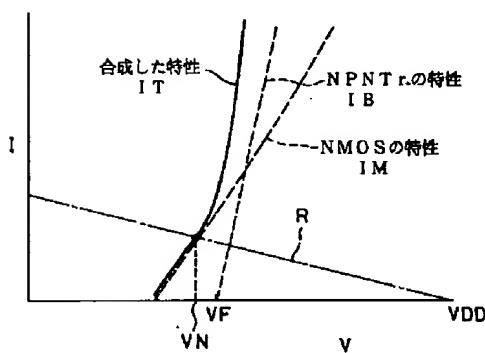
【図9】



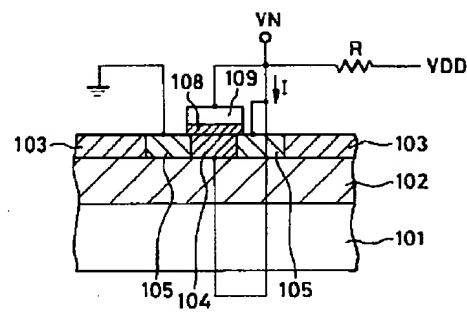
【図20】



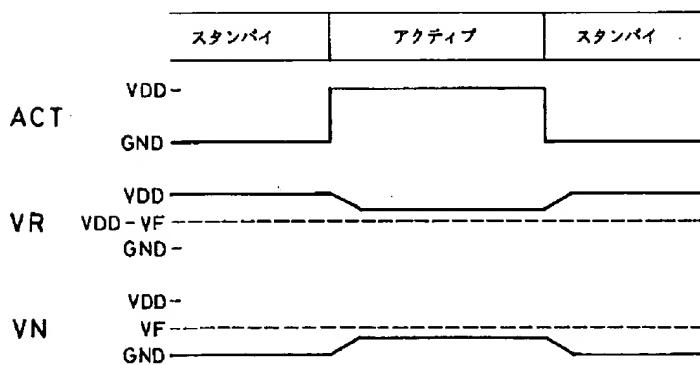
【図10】



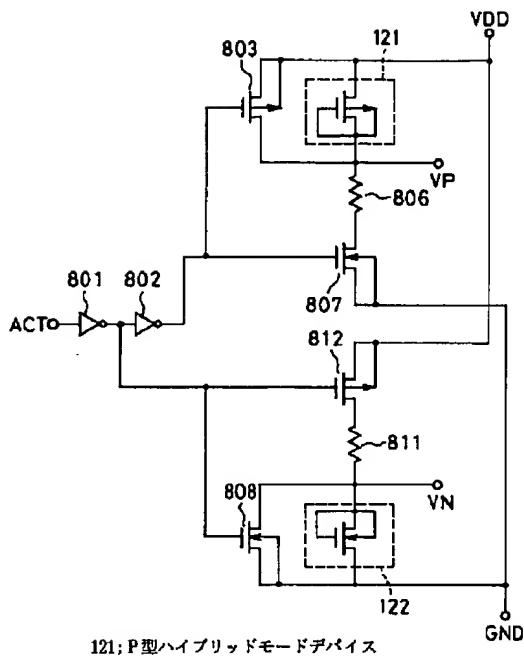
【図13】



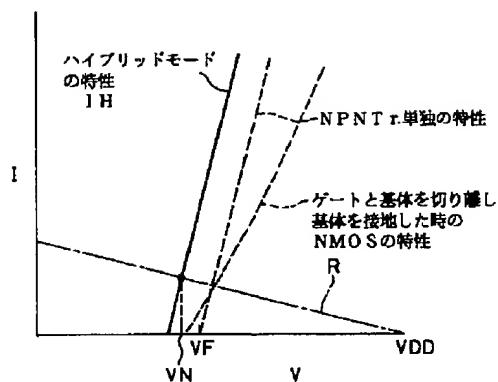
【図11】



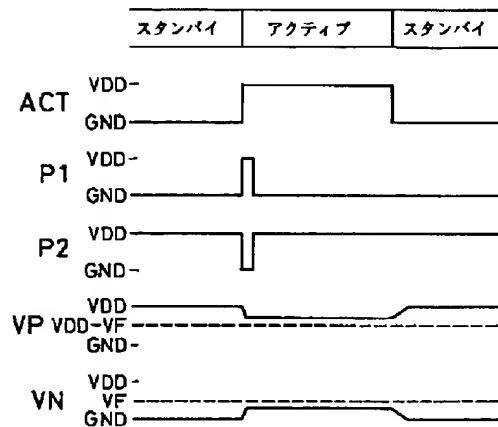
【図12】



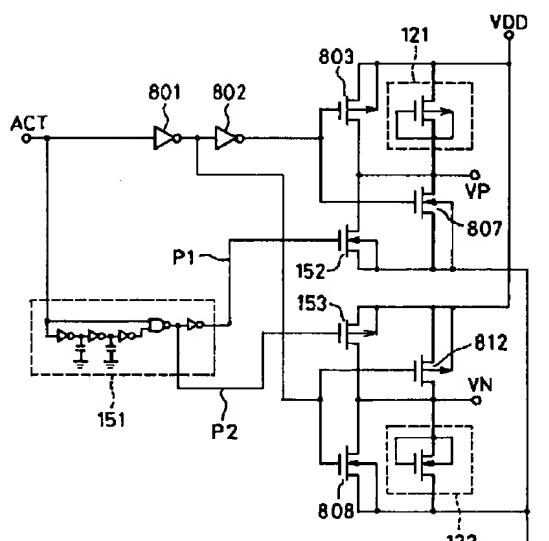
【図14】



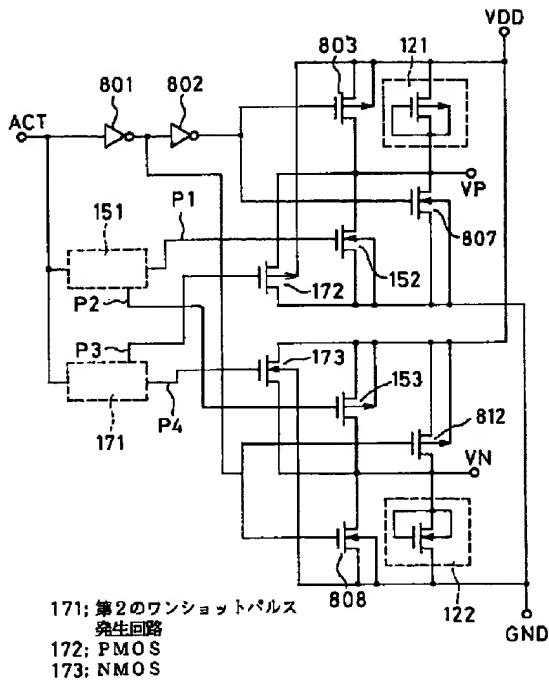
【図16】



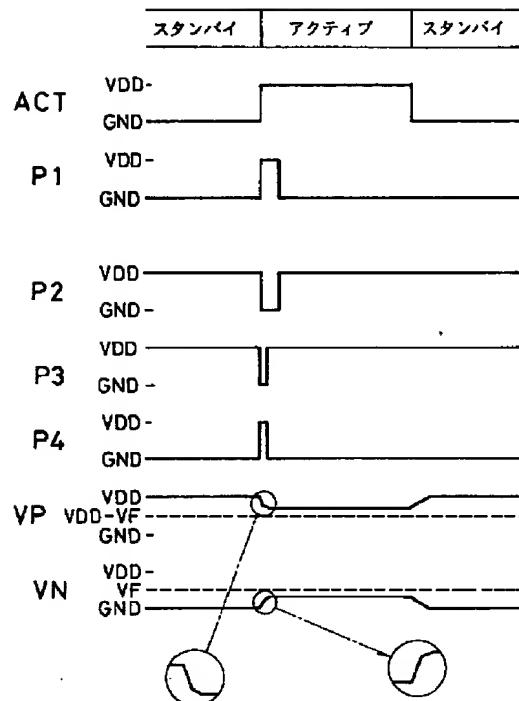
【図15】



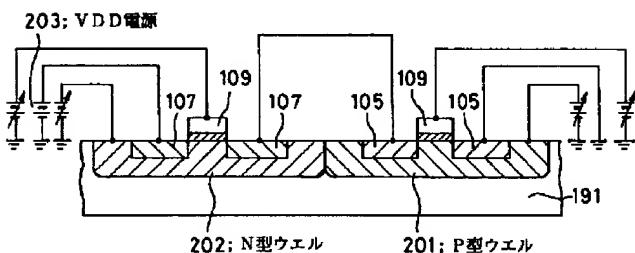
【図17】



【図18】



【図21】



フロントページの続き

(51)Int.Cl.⁶

H 01 L 27/092
27/108
21/8242
27/12
29/78
29/786
21/336

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

H 01 L 27/04

27/08

F

321 B

27/10

681 F

(2 2)

特開平8-204140

29/78

301 J
618 Z